PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-233469
(43)Date of publication of application : 02.09.1998

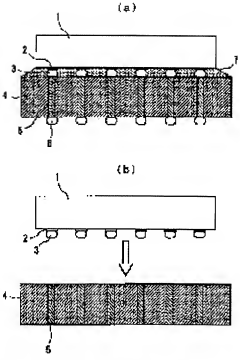
(51)Int.Cl. H01L 23/14
H01L 23/12

(21)Application number : 09-033936
(22)Date of filing : 18.02.1997

(71)Applicant : TAIYO YUDEN CO LTD
(72)Inventor : SUZUKI KAZUTAKA
FUJIMOTO MASAYUKI

(54) SEMICONDUCTOR DEVICE

(57)Abstract:
PROBLEM TO BE SOLVED: To provide a semiconductor device by which a malfunction due to separately mounted noise-proofing parts can be eliminated, by allowing a substrate to be connected with a semiconductor chip to have a function to remove noises.
SOLUTION: A substrate 4 is made of magnetic material with high specific resistance, so that noises can be surely removed from a signal inputted from a semiconductor chip 1 through the substrate 4 and a signal outputting from the semiconductor chip 1 through the substrate 4, when they are subjected to be inputted or outputted. Therefore, noise-proofing parts are unnecessary to be provided separately around a semiconductor device mounted conventionally to a mother board, and a space for mounting the noise-proofing parts becomes unnecessary on the mother board, contributing to high-density mounting, and no land for noise-proofing parts and no running line are needed, thus simplifying the wiring of mother board.



CLAIMS

[Claim(s)]

[Claim 1]A semiconductor device characterized by what the above-mentioned substrate was formed for from a magnetic substance material which has high specific resistance in a semiconductor device constituted by connecting a semiconductor chip on a substrate so that an electrode under a substrate and an electrode of a semiconductor chip might flow.

[Claim 2]The semiconductor device according to claim 1 characterized by what a magnetic substance material is a ferrite.

[Claim 3]The semiconductor device according to claim 1 or 2 characterized by what was connected via a noise rejection circuit which provided an electrode of a semiconductor chip, and an electrode under a substrate in a substrate.

[Claim 4]The semiconductor device according to claim 3 characterized by what a noise rejection circuit is an inductor circuit or a capacitor circuit.

[Translation done.]

DETAILED DESCRIPTION

[Detailed Description of the Invention]
[0001]
[Field of the Invention]This invention relates to the semiconductor device constituted by connecting a semiconductor chip on the substrate.
[0002]
[Description of the Prior Art]In recent years, the semiconductor device with BGA (Ball Grid Arrey) or a new package form of CSP (Chip Size Package) is put in practical use.
[0003]This semiconductor device connects a semiconductor chip to the substrate upper surface which comprises ceramics, glass epoxy, etc. with flip chip bonding method, forms the vamp which changes from Hitoshi Handa to the substrate undersurface in predetermined arrangement, and is constituted.
Compared with the semiconductor device with a lead till then, it excels in the correspondence to the formation of many terminals, reduction of a packaging area, and the field of shortening of a wire length.

[0004]
[Problem(s) to be Solved by the Invention]By the way, when a semiconductor device is mounted in a mother board, a noise poses a problem by digitization and high-frequency-izing of a signal, and it will be necessary to arrange noise suppression parts, such as a chip bead, to the input output section of a semiconductor device, and to perform noise rejection to it.
[0005]Conventionally, although the above-mentioned noise suppression parts are separately arranged around the semiconductor device mounted in the mother board, It is difficult to secure the space for mounting noise suppression parts in the mother board as which high density assembly is requested, and there is fault which the land and leading-about line for mounting noise suppression parts are needed, and wiring of a mother board complicates.
[0006]The place which this invention was made in light of the above-mentioned circumstances, and is made into the purpose is giving a noise rejection function to the substrate to which a semiconductor chip is connected, and there is in providing the semiconductor device which can cancel the fault in the case of mounting noise suppression parts separately.
[0007]
[Means for Solving the Problem]In order to attain the above-mentioned purpose, in a semiconductor device constituted by connecting a semiconductor chip on a substrate so that an electrode under a substrate and an electrode of a semiconductor chip might flow, this invention is characterized [the] by what the above-mentioned substrate was formed for from a magnetic substance material which has high specific resistance.
[0008]By forming a substrate from a magnetic substance material which has high specific resistance according to this invention, A noise can be removed in a stage of input and output, and it is not necessary to arrange noise suppression parts separately around a semiconductor device mounted in a mother board like before from both a signal inputted into a semiconductor chip via a substrate, and a signal outputted via a substrate from a semiconductor chip.
[0009]
[Embodiment of the Invention]

[A 1st embodiment] The built-up-section figure of the semiconductor device concerning a 1st embodiment of this invention is shown in drawing 1 (a).
[0010]The semiconductor chip (bare chip) 1 comprises IC, LSI, etc., and two or more electrodes 2 are formed in the undersurface in predetermined arrangement. The vamp 3 which comprises Hitoshi Handa's cementing material is formed in each electrode 2, respectively.
[0011]various ferrites, such as the magnetic material in which the substrate 4 has high specific resistance, for example, a Mn-Zn system ferrite, a nickel-Zn system ferrite, and a Cu-Zn system ferrite, -- it is preferably formed from the nickel-Zn system ferrite. In this substrate 4, two or more conductor paths 5 are formed corresponding to the electrode position of the semiconductor chip 1. The vamp 6 which comprises Hitoshi Handa's cementing material is formed in the position corresponding to this the lower end exposed portion of each conductor path 5, or under a substrate, respectively.
[0012]The substrate 4 with a such built-in conductor path prepares the ferrite sheet in which penetration formation of the through hole was carried out, for example, It can create by preparing the ferrite substrate which fills up the through hole of this ferrite sheet with metal paste, such as Ag system, and calcinates this or by which penetration formation of the through hole was carried out, and filling up with and stiffening the same metal paste as the through hole of this ferrite substrate.
[0013]In the vamp 5 provided in that undersurface, the above-mentioned semiconductor chip 1 is connected to the upper bed exposed portion of the conductor path 6 of the substrate 4 by using this vamp 5 as a jointing material, and the crevice between this semiconductor chip 1 and substrate 4 is filled up with the sealing resin 7, such as epoxy.
[0014]This semiconductor device is mounted in a mother board by using as a bonding electrode the vamp 6 provided in the undersurface of the substrate 4.
[0015]In order to manufacture the semiconductor device shown in drawing 1 (a), as shown in the figure (b), the semiconductor chip 1 which has the vamp 3, and the substrate 4 which contained the conductor path 5 are first prepared for the undersurface electrode 2. Of course, the substrate 4 of a size corresponding for taking more than one is prepared, and it may be made to divide this using a dicing machine with a rotary blade, etc. by a final process.
[0016]Next, alignment is carried out and this semiconductor chip 1 is laid in the upper surface of the substrate 4 so that the vamp 3 of the semiconductor chip 1 may consistent with the upper bed exposed portion of the conductor path 5 of the substrate 4.
[0017]And this is supplied to a reflow furnace, heat melting of the vamp 3 is carried out, a part for melting is stiffened, and the electrode 2 of the semiconductor chip 1 and the upper bed exposed portion of the conductor path 5 of the substrate 4 are electrically connected via the vamp 3.
[0018]Next, the crevice between the semiconductor chip 1 and the substrate 4 is made to slush and harden the paste state sealing resin 7.
[0019]Next, the vamp 6 is formed in the position corresponding to the lower end exposed portion of the conductor path 5 of the substrate 4, or this under a substrate, and, finally a conduction test etc. are inspected.
[0020]According to the semiconductor device concerning a 1st embodiment, since it has formed from the magnetic substance material which has high specific resistance, the substrate 4, A noise is exactly removable from both the signal inputted into the semiconductor chip 1 via the substrate 4, and the signal outputted via the substrate 4 from the semiconductor chip 1 in the stage of input and output.

[0021]Therefore, it is not necessary to arrange noise suppression parts separately around the semiconductor device mounted in the mother board like before, and the space for mounting noise suppression parts is eliminated from a mother board, and can contribute to high density assembly, and. The land and leading-about line for noise suppression parts are eliminated, and wiring of a mother board can be simplified.
[0022]Although what connected the electrode 2 of the semiconductor chip 1 to the upper bed exposed portion of the conductor path 5 of the substrate 4 via the vamp 3 was illustrated in a 1st above-mentioned embodiment, The vamp 3 is eliminated from the electrode 2 of the semiconductor chip 1, Hitoshi Handa's jointing material is provided in this electrode 2 or the upper bed exposed portion of the conductor path 5 as the substitute, and it may be made to connect both via this jointing material.
[0023]Although what formed the vamp 6 in the lower end exposed portion of the conductor path 5 of the substrate 4 was illustrated, this vamp 6 is not necessarily required, when providing the vamp and jointing material which replace this in the mother board side.
[0024]Although what filled up the crevice between the semiconductor chip 1 and the substrate 4 with the sealing resin 7 was illustrated, it may be made to use this sealing resin 7, only when the mechanical connection resilience between both is insufficient.
[0025][A 2nd embodiment] The built-up-section figure of the semiconductor device concerning a 2nd embodiment of this invention is shown in drawing 2 (a).
[0026]The semiconductor chip (bare chip) 11 comprises IC, LSI, etc., and two or more electrodes 12 are formed in the undersurface in predetermined arrangement. The vamp 13 which comprises Hitoshi Handa's cementing material is formed in each electrode 12, respectively.
[0027]various ferrites, such as the magnetic material in which the substrate 14 has high specific resistance, for example, a Mn-Zn system ferrite, a nickel-Zn system ferrite, and a Cu-Zn system ferrite, -- it is preferably formed from the nickel-Zn system ferrite. In this substrate 14, two or more inductor circuits 15 are formed corresponding to the electrode position of the semiconductor chip 11. This inductor circuit 15 makes the substrate 14 two or more layer structure, connects to a coiled form the conductor for coils of the 1/2 circumference or the 3/4 circumference formed between each class via the through hole internal conductor of each class, and is constituted. The vamp 16 which comprises Hitoshi Handa's cementing material is formed in the position corresponding to this the lower end exposed portion of each inductor circuit 15, or under a substrate, respectively.
[0028]The substrate 14 with a such built-in inductor circuit, For example, a through hole prepares the ferrite sheet by which penetration formation was carried out, Screen-stencil metal paste, such as Ag system, on this ferrite sheet, and it is filled up with some metal paste in a through hole, and the conductor for coils is formed on a sheet, After the number of predetermined sheets accumulating this ferrite sheet and sticking it by pressure, it can create by cutting and calcinating this to a prescribed dimension.
[0029]In the vamp 13 provided in that undersurface, the above-mentioned semiconductor chip 11 is electrically connected to the upper bed exposed portion of the inductor circuit 15 of the substrate 14 by using this vamp 13 as a jointing material, and the crevice between this semiconductor chip 11 and substrate 14 is filled up with the sealing resin 17, such as an epoxy resin.
[0030]In order to manufacture the semiconductor device shown in drawing 2 (a), as shown in the figure (b), the semiconductor chip 11 which has the vamp 13, and the substrate 14 which

contained the inductor circuit 15 are first prepared for the undersurface electrode 12. Of course, the substrate 14 of a size corresponding for taking more than one is prepared, and it may be made to divide this using a dicing machine with a rotary blade, etc. by a final process.
[0031]Next, alignment is carried out and this semiconductor chip 11 is laid in the upper surface of the substrate 14 so that the vamp 13 of the semiconductor chip 11 may consistent with the upper bed exposed portion of the inductor circuit 15 of the substrate 14.
[0032]And this is supplied to a reflow furnace, heat melting of the vamp 13 is carried out, a part for melting is stiffened, and the electrode 12 of the semiconductor chip 11 and the upper bed exposed portion of the inductor circuit 15 of the substrate 14 are electrically connected via the vamp 13.
[0033]Next, the crevice between the semiconductor chip 11 and the substrate 14 is made to slush and harden the paste state sealing resin 17.
[0034]Next, the vamp 16 is formed in the position corresponding to the lower end exposed portion of the inductor circuit 15 of the substrate 14, or this under a substrate, and a conduction test etc. are inspected.
[0035]According to the semiconductor device concerning a 2nd embodiment, since it has formed from the magnetic substance material which has high specific resistance, the substrate 14, A noise is exactly removable from both the signal inputted into the semiconductor chip 11 via the substrate 14, and the signal outputted via the substrate 14 from the semiconductor chip 11 in the stage of input and output. Since the inductor circuit 15 is formed as a noise rejection circuit in the substrate 14, compared with the case where noise rejection is performed, high removal efficiency is acquired only with the substrate 14.
[0036]Therefore, it is not necessary to arrange noise suppression parts separately around the semiconductor device mounted in the mother board like before, and the space for mounting noise suppression parts is eliminated from a mother board, and can contribute to high density assembly, and. The land and leading-about line for noise suppression parts are eliminated, and wiring of a mother board can be simplified.
[0037]Although what connected the electrode 12 of the semiconductor chip 11 to the upper bed exposed portion of the inductor circuit 15 of the substrate 14 via the vamp 13 was illustrated in a 2nd above-mentioned embodiment, The vamp 13 is eliminated from the electrode 12 of the semiconductor chip 11, Hitoshi Handa's jointing material is provided in this electrode 12 or the upper bed exposed portion of the inductor circuit 15 as the substitute, and it may be made to connect both via this jointing material.
[0038]Although what formed the vamp 16 in the lower end exposed portion of the inductor circuit 15 of the substrate 14 was illustrated, this vamp 16 is not necessarily required, when providing the vamp and jointing material which replace this in the mother board side.
[0039]Although what filled up the crevice between the semiconductor chip 11 and the substrate 14 with the sealing resin 17 was illustrated, it may be made to use this sealing resin 17, only when the mechanical connection resilience between both is insufficient.
[0040]Although what formed the inductor circuit 15 according to the number of electrodes of the semiconductor chip 11 in the substrate 14 was illustrated further again, it is good also as the conductor path 5 like a 1st embodiment in a part of these inductor circuits 15.
[0041][A 3rd embodiment] The built-up-section figure of the semiconductor device concerning a 3rd embodiment of this invention is shown in drawing 3 (a).
[0042]The semiconductor chip (bare chip) 21 comprises IC, LSI, etc., and two or more electrodes 22 are formed in the undersurface in predetermined arrangement. The vamp 23

which comprises Hitoshi Handa's cementing material is formed in each electrode 22, respectively.

[0043]various ferrites, such as the magnetic material in which the substrate 24 has high specific resistance, for example, a Mn-Zn system ferrite, a nickel-Zn system ferrite, and a Cu-Zn system ferrite, -- it is preferably formed from the nickel-Zn system ferrite. In this substrate 24, two or more inductor circuits 25 and capacitor circuits 26 are formed corresponding to the electrode position of the semiconductor chip 21. This inductor circuit 25 makes the substrate 24 two or more layer structure, connects to a coiled form the conductor for coils of the 1/2 circumference or the 3/4 circumference formed between each class via the through hole internal conductor of each class, and is constituted, On the other hand, the capacitor circuit 26 connects alternately the conductor for internal electrodes formed between each class via the through hole internal conductor of each class, and is constituted. The vamp 27 which comprises Hitoshi Handa's cementing material is formed in the position corresponding to this the lower end exposed portion of each inductor circuit 25, or under a substrate, and the position corresponding to this the lower end exposed portion of each capacitor circuit 26, or under a substrate, respectively.

[0044]The substrate 24 with a such built-in inductor circuit, For example, a through hole prepares the ferrite sheet by which penetration formation was carried out, Screen-stencil metal paste, such as Ag system, on this ferrite sheet, and it is filled up with some metal paste in a through hole, and the conductor for coils and the conductor for internal electrodes are formed on a sheet, After the number of predetermined sheets accumulating a ferrite sheet and sticking this ferrite sheet by pressure, it can create by cutting and calcinating this to a prescribed dimension.

[0045]In the vamp 23 provided in the undersurface, the above-mentioned semiconductor chip 21 is connected to the upper bed exposed portion of the inductor circuit 25 of the substrate 24, and the capacitor circuit 26 by using this vamp 23 as a jointing material, The crevice between this semiconductor chip 21 and substrate 24 is filled up with the sealing resin 28, such as an epoxy resin.

[0046]In order to manufacture the semiconductor device shown in drawing 3 (a), as shown in the figure (b), the semiconductor chip 21 which has the vamp 23, and the substrate 24 which contained the inductor circuit 25 and the capacitor circuit 26 are first prepared for the undersurface electrode 22. Of course, the substrate 24 of a size corresponding for taking more than one is prepared, and it may be made to divide this using a dicing machine with a rotary blade, etc. by a final process.

[0047]Next, alignment is carried out and this semiconductor chip 21 is laid in the upper surface of the substrate 24 so that the vamp 23 of the semiconductor chip 21 may consistent with the upper bed exposed portion of the inductor circuit 25 of the substrate 24, and the capacitor circuit 26.

[0048]And this is supplied to a reflow furnace, heat melting of the vamp 23 is carried out, a part for melting is stiffened, and the upper bed exposed portion of the electrode 22 of the semiconductor chip 21, the inductor circuit 25 of the substrate 24, and the capacitor circuit 26 is electrically connected via the vamp 23.

[0049]Next, the crevice between the semiconductor chip 21 and the substrate 24 is made to slush and harden the paste state sealing resin 28.

[0050]Next, the vamp 27 is formed in the position corresponding to the lower end exposed portion of the inductor circuit 25 of the substrate 24, and the capacitor circuit 26, or this

under a substrate, and, finally a conduction test etc. are inspected.
[0051]According to the semiconductor device concerning a 3rd embodiment, since it has formed from the magnetic substance material which has high specific resistance, the substrate 24, A noise is exactly removable from both the signal inputted into the semiconductor chip 21 via the substrate 24, and the signal outputted via the substrate 24 from the semiconductor chip 21 in the stage of input and output. Since the inductor circuit 25 and the capacitor circuit 26 are formed as a noise rejection circuit in the substrate 24, compared with the case where noise rejection is performed, high removal efficiency is acquired only with the substrate 24.
[0052]Therefore, it is not necessary to arrange noise suppression parts separately around the semiconductor device mounted in the mother board like before, and the space for mounting noise suppression parts is eliminated from a mother board, and can contribute to high density assembly, and. The land and leading-about line for noise suppression parts are eliminated, and wiring of a mother board can be simplified.
[0053]Although what connected the electrode 22 of the semiconductor chip 21 to the upper bed exposed portion of the inductor circuit 25 of the substrate 24 and the capacitor circuit 26 via the vamp 23 was illustrated in a 3rd above-mentioned embodiment, The vamp 23 is eliminated from the electrode 22 of the semiconductor chip 21, Hitoshi Handa's jointing material is provided in the upper bed exposed portion of this electrode 22 or the inductor circuit 25, and the capacitor circuit 26 as the substitute, and it may be made to connect both via this jointing material.
[0054]Although what formed the vamp 27 in the lower end exposed portion of the inductor circuit 25 of the substrate 24 and the capacitor circuit 26 was illustrated, this vamp 27 is not necessarily required, when providing the vamp and jointing material which replace this in the mother board side.
[0055]Although what filled up the crevice between the semiconductor chip 21 and the substrate 24 with the sealing resin 28 was illustrated, it may be made to use this sealing resin 28, only when the mechanical connection resilience between both is insufficient.
[0056]Although what provided the inductor circuit 25 and the capacitor circuit 26 according to the number of electrodes of the semiconductor chip 21 in the substrate 24 was illustrated further again, It is good also as the conductor path 5 like a 1st embodiment in a part of these inductor circuit 25 and capacitor circuit 26, and, of course, good also considering all as the capacitor circuit 26.
[0057][A 4th embodiment] The built-up-section figure of the semiconductor device concerning a 4th embodiment of this invention is shown in drawing 4 (a).
[0058]The semiconductor chip (bare chip) 31 comprises IC, LSI, etc., and two or more electrodes 32 are formed in the upper surface in predetermined arrangement.
[0059]various ferrites, such as the magnetic material in which the substrate 33 has high specific resistance, for example, a Mn-Zn system ferrite, a nickel-Zn system ferrite, and a Cu-Zn system ferrite, — it is preferably formed from the nickel-Zn system ferrite. In this substrate 33, two or more conductor paths 34 are formed. The vamp 36 which the electrode (land) 35 is formed, respectively and changes from Hitoshi Handa's cementing material to the position corresponding to this the lower end exposed portion of each conductor path 34 or under a substrate is formed in the position corresponding to this the upper bed exposed portion of each conductor path 34, or under a substrate, respectively.
[0060]The substrate 33 with a such built-in conductor path prepares the ferrite sheet in

which penetration formation of the through hole was carried out, for example, . [whether screen-stencil metal paste, such as Ag system, on this ferrite sheet, and it is filled up with some metal paste in a through hole, and the conductor for electrodes is formed on a sheet and this is calcinated, and] Or it can create by filling up with and stiffening the same metal paste as a through hole, a through hole preparing the ferrite substrate by which penetration formation was carried out, and forming the conductor for electrodes on this ferrite substrate.
[0061]As for the above-mentioned semiconductor chip 31, the undersurface is connected on the substrate 33 via the die bond resin 37, such as epoxy, and the electrode 32 is connected to the upper bed exposed portion of the conductor path 34 of the substrate 33 via the wire 38. The semiconductor chip 31 connected on the substrate 33 is covered with the mold resin 39, such as epoxy.
[0062]This semiconductor device is mounted in a mother board by using as a bonding electrode the vamp 36 provided in the undersurface of the substrate 33.
[0063]In order to manufacture the semiconductor device shown in drawing 4 (a), as shown in the figure (b), the semiconductor chip 31 and the substrate 33 which contained the conductor path 34 are prepared first. Of course, the substrate 33 of a size corresponding for taking more than one is prepared, and it may be made to divide this using a dicing machine with a rotary blade, etc. by a final process.
[0064]Next, the paste state die bond resin 37 is applied to the upper surface of the substrate 33, the semiconductor chip 31 is laid on this, and the die bond resin 37 is stiffened.
[0065]Next, the electrode 32 of the semiconductor chip 31 and the electrode 35 of the upper surface of the substrate 33 are electrically connected via the wire 38.
[0066]Next, it adheres to the circumference of the semiconductor chip 31 on the substrate 33, and it is made to harden the paste state mold resin 39 using a mold etc.
[0067]Next, the vamp 36 is formed in the position corresponding to the lower end exposed portion of the conductor path 34 of the substrate 33, or this under a substrate, and, finally a conduction test etc. are inspected.
[0068]According to the semiconductor device concerning a 4th embodiment, since it has formed from the magnetic substance material which has high specific resistance, the substrate 33, A noise is exactly removable from both the signal inputted into the semiconductor chip 31 via the substrate 33, and the signal outputted via the substrate 33 from the semiconductor chip 31 in the stage of input and output. even when the electrode position of the semiconductor chip 31 and the electrode position of the substrate 33 do not correspond, both are connected exactly -- things can be carried out.
[0069]Therefore, it is not necessary to arrange noise suppression parts separately around the semiconductor device mounted in the mother board like before, and the space for mounting noise suppression parts is eliminated from a mother board, and can contribute to high density assembly, and. The land and leading-about line for noise suppression parts are eliminated, and wiring of a mother board can be simplified.
[0070]Although what connected the electrode 32 of the semiconductor chip 31 to the electrode 35 of the substrate 33 via the wire 38 was illustrated in a 4th above-mentioned embodiment, The electrode 35 is eliminated from the substrate 33 and it may be made to carry out direct continuation of the electrode 32 of the semiconductor chip 31 to the upper bed exposed portion of the conductor path 34 of the substrate 33 via the wire 38.
[0071]Although what formed the vamp 36 in the lower end exposed portion of the conductor path 34 of the substrate 33 was illustrated, this vamp 36 is not necessarily required, when

providing the vamp and jointing material which replace this in the mother board side.
[0072]Although what established the conductor path 34 in the substrate 33 was illustrated, it is good also considering a part or all of these conductor paths 34 as an inductor circuit like a 2nd and 3rd embodiment, or a capacitor circuit.
[0073]As mentioned above, although what carries one semiconductor chip in one substrate was illustrated as a semiconductor device, two or more semiconductor chips may be carried in one substrate, and a semiconductor device may consist of the above-mentioned 1st thru/or a 4th embodiment.
[0074]Although the inductor circuit and the capacitor circuit were illustrated as a noise rejection circuit, Although it may be made to provide a resistance circuit and part circuits other than this in a substrate and flip chip bonding method and the wire-bonding method were illustrated as a conjunctive of a semiconductor chip and a substrate to the pan that it may be made to form this on a substrate in the case of a simple circuit like a resistance circuit, The various well-known bonding methods can be used for both connection.
[0075]
[Effect of the Invention]Since a noise is removable from both the signal inputted into a semiconductor chip via a substrate, and the signal outputted via a substrate from a semiconductor chip in the stage of input and output according to this invention as explained in full detail above, It is not necessary to arrange noise suppression parts separately around the semiconductor device mounted in the mother board like before, and the space for mounting noise suppression parts is eliminated from a mother board, and can contribute to high density assembly, and. The land and leading-about line for noise suppression parts are eliminated, and wiring of a mother board can be simplified.

[Translation done.]

DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]
[Drawing 1]The built-up-section figure and manufacturing method explanatory view of a semiconductor device concerning a 1st embodiment of this invention
[Drawing 2]The built-up-section figure and manufacturing method explanatory view of a semiconductor device concerning a 2nd embodiment of this invention
[Drawing 3]The built-up-section figure and manufacturing method explanatory view of a semiconductor device concerning a 3rd embodiment of this invention
[Drawing 4]The built-up-section figure and manufacturing method explanatory view of a semiconductor device concerning a 4th embodiment of this invention
[Description of Notations]
1 [-- A substrate, 5 / -- Conductor path,] -- A semiconductor chip, 2 -- An electrode, 3 -- A vamp, 4 6 [-- An electrode, 13 / -- Vamp,] -- A vamp, 7 -- Sealing resin, 11 -- A semiconductor chip, 12 14 [-- Sealing resin,] -- A substrate, 15 -- An inductor circuit, 16 -- A vamp, 17 21 [-- A substrate, 25 / -- Inductor circuit,] -- A semiconductor chip, 22 -- An electrode, 23 -- A vamp, 24 26 [-- A semiconductor chip, 32 / -- An electrode, 33 / -- A substrate, 34 / -- A conductor path, 35 / -- An electrode, 36 / -- A vamp, 37 / -- Die bond resin, 38 / -- A wire, 39 / -- Mold resin.] -- A capacitor circuit, 27 -- A vamp, 28 -- Sealing resin, 31

[Translation done.]

(19)日本国特許庁（ＪＰ）　(12)公開特許公報（Ａ）　(11)特許出願公開番号

特開平10－233469

(43)公開日　平成10年(1998)９月２日

(51)Int.Cl.[6]	識別記号	ＦＩ		
Ｈ０１Ｌ　23/14		Ｈ０１Ｌ　23/14		Ｍ
23/12		23/12		Ｂ

審査請求　未請求　請求項の数４　ＯＬ　（全７頁）

(21)出願番号　特願平9－33936

(22)出願日　平成９年(1997)２月18日

(71)出願人　000204284
太陽誘電株式会社
東京都台東区上野６丁目16番20号

(72)発明者　鈴木　一亮
東京都台東区上野６丁目16番20号　太陽誘電株式会社内

(72)発明者　藤本　正之
東京都台東区上野６丁目16番20号　太陽誘電株式会社内

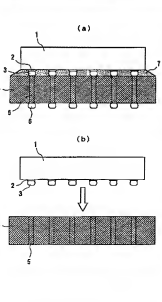
(74)代理人　弁理士　吉田　精孝

(54)【発明の名称】　半導体装置

(57)【要約】

【課題】　半導体チップが接続される基板にノイズ除去機能を持たせることで、ノイズ対策部品を別途実装する場合の不具合を解消できる半導体装置を提供すること。

【解決手段】　基板４を高誘電率材料を有する磁性体材料から形成してあるので、基板４を介して半導体チップ１に入力される信号と、入出力の段階でノイズを効果的に除去することができる。依って、従来のようにマザーボードに実装された半導体装置の周りにノイズ対策部品を別途配置する必要がなく、ノイズ対策部品を実装するためのスペースをマザーボード上から排除して高密度実装に貢献できると共に、ノイズ対策用部品用のランド及び引き回しラインを排除してマザーボードの配線を簡略化できる。



【特許請求の範囲】

【請求項１】　基板下面の電極と半導体チップの電極とが導通するように基板上に半導体チップを接続して構成された半導体装置において、

上記基板を、高誘電損失を有する磁性体材料から形成したことを特徴とする半導体装置。

【請求項２】　磁性体材料がフェライトである、

ことを特徴とする請求項１記載の半導体装置。

【請求項３】　半導体チップの電極と基板下面の電極とを、基板内に設けたノイズ除去回路を介して接続した、ことを特徴とする請求項１または２記載の半導体装置。

【請求項４】　ノイズ除去回路が、インダクタ回路またはコンデンサ回路である、

ことを特徴とする請求項３記載の半導体装置。

【発明の詳細な説明】

【０００１】

【発明の属する技術分野】　本発明は、基板上に半導体チップを接続して構成された半導体装置に関するものである。

【０００２】

【従来の技術】　近年、ＢＧＡ（Ball Grid Array）やＣＳＰ（Chip Size Package）といった新しいパッケージ形態を持つ半導体装置が実用化されている。

【０００３】この半導体装置は、セラミックやガラスエポキシ等から成る基板上面に半導体チップをフリップチップボンディング法によって接続し、基板下面に半田等から成るバンプを形成例で形成して構成されており、それまでのリードフレーム半導体装置に比べて、多端子化への対応、実装面積の縮小、配線長の短縮の面において優れている。

【０００４】

【発明が解決しようとする課題】　ところで、半導体装置をマザーボードに実装するときには、信号のデジタル化や高周波化によりノイズが問題となり、半導体装置の入出力部にチップビーズ等のノイズ対策部品を配置してノイズ除去を行う必要が生じる。

【０００５】従来、上記のノイズ対策部品は、マザーボードに実装された半導体装置の周りに別途配置されているが、高密度実装が要望されるマザーボードにノイズ対策部品を実装するためのスペースを確保することが難しく、また、ノイズ対策部品を実装するためのランド及び引き回しラインが必要となってマザーボードの配線が複雑化する不具合がある。

【０００６】本発明は上記事情に鑑みてなされたもので、その目的とするところは、半導体チップが接続される基板にノイズ除去機能を持たせることで、ノイズ対策部品を別途実装する場合の不具合を解消できる半導体装置を提供することにある。

【０００７】

【課題を解決するための手段】　上記目的を達成するため、本発明は、基板下面の電極と半導体チップの電極とが導通するように基板上に半導体チップを接続して構成された半導体装置において、上記基板を、高誘電損失を有する磁性体材料から形成したことをその特徴とする。

【０００８】本発明によれば、基板を高誘電損失を有する磁性体材料から形成することにより、基板を介して半導体チップに入力される信号と、半導体チップから基板を介して出力される信号の両方から、入出力の段階でノイズを効果的に除去することができ、従来のようにマザーボードに実装された半導体装置の周りにノイズ対策部品を別途配置する必要がない。

【０００９】

【発明の実施の形態】

【発明の実施の形態１】　図１（ａ）には本発明の第１実施形態に係る半導体装置の組立断面図が示してある。

【００１０】半導体チップ（ベアチップ）１はＩＣ、ＬＳＩ等から成り、その下面には複数の電極２が所定配列で設けられている。また、各電極２には、半田等の接合材料から成るバンプ３がそれぞれ設けられている。

【００１１】基板４は高誘電損失を有する磁性材料、例えばＭｎ－Ｚｎ系フェライト、Ｎｉ－Ｚｎ系フェライト、Ｃｕ－Ｚｎ系フェライト等の各種フェライト、好ましくはＮｉ－Ｚｎ系フェライトから形成されている。また、この基板４内には、半導体チップ１の電極位置に対応して複数の導体路５が形成されている。さらに、各導体路５の下側部分、または基板下面のこれに対応する位置には、半田等の接合材料から成るバンプ６がそれぞれ設けられている。

【００１２】このような導体路内蔵の基板４は、例えば、スルーホールが貫通形成されたフェライトシートを用意し、該フェライトシートのスルーホールにＡｇ系等の金属ペーストを充填してこれを焼成するか、或いは、スルーホールが貫通形成されたフェライト基板を用意し、該フェライト基板のスルーホール内部の金属ペーストを充填して焼成させることにより作成することができる。

【００１３】上記の半導体チップ１はその下面に設けられたバンプ３を、該バンプ３を接合材として基板４の導体路５の上端露出部分に接続されており、この半導体チップ１と基板４との隙間にはエポキシ等の封止樹脂７が充填されている。

【００１４】この半導体装置は、基板４の下面に設けられたバンプ６を接続端子として、マザーボードに実装される。

【００１５】図１（ａ）に示した半導体装置を製造するには、まず、同図（ｂ）に示すように、下面電極２とバンプ３を有する半導体チップ１と、導体路５を内蔵した

基板４とを用意する。勿論、複数個取りに対応した大きさの基板４を用意して、最終工程でこれを回転ブレードを持つダイシング機等を用いて分割するようにしてもよい。

【００１６】次に、半導体チップ１のバンプ３が基板４の導体路５の上端露出部分に整合するように位置合わせして該半導体チップ１を基板４の上面に載置する。

【００１７】そして、これをリフロー炉に投入してバンプ３を加熱溶融し、溶融分を硬化させて半導体チップ１の電極２と基板４の導体路５の上端露出部分とをバンプ３を介して電気的に接続する。

【００１８】次に、半導体チップ１と基板４との隙間にペースト状の封止樹脂７を流し込んで硬化させる。

【００１９】次に、基板４の導体路５の下端露出部分に、または基板下面のこれに対応する位置にバンプ６を形成して、最後に、導通検査等の検査を行う。

【００２０】本第１実施形態に係る半導体装置によれば、基板４を高固有抵抗を有する磁性体材料から形成してあるので、基板４を介して半導体チップ１に入力される信号と、半導体チップ１から基板４を介して出力される信号の両方から、入出力の段階でノイズを的確に除去することができる。

【００２１】依って、従来のようにマザーボードに実装された半導体装置の回りにノイズ対策部品を別途配置する必要がなく、ノイズ対策部品を実装するためのスペースをマザーボードから排除して高密度実装に貢献できると共に、ノイズ対策部品用のランド及び引き回しラインを排除してマザーボードの配線を簡略化できる。

【００２２】尚、上記の第１実施形態では、半導体チップ１の電極２をバンプ３を介して基板４の導体路５の上端露出部分に接続したものを例示したが、半導体チップ１の電極２からバンプ３を排除し、その代わりとして、該電極２または導体路５の上端露出部分に半田等の接合材を設けて、該接合材を介して両者の接続を行うようにしてもよい。

【００２３】また、基板４の導体路５の下端露出部分にバンプ６を設けたものを例示したが、該バンプ６は、これに代わるバンプや接合材をマザーボード側に設ける場合は必ずしも必要なものではない。

【００２４】さらに、半導体チップ１と基板４との隙間に封止樹脂７を充填したものを例示したが、該封止樹脂７は両者間の機械的な接続強度が足りない場合のみ用いるようにしてもよい。

【００２５】［第２実施形態］図２（ａ）には本発明の第２実施形態に係る半導体装置の組立断面図を示してある。

【００２６】半導体チップ（ベアチップ）１１はＩＣ，ＬＳＩ等から成り、その下面には複数の電極１２が所定配列で設けられている。また、各電極１２には、半田等の接合材料から成るバンプ１３がそれぞれ設けられている。

【００２７】基板１４は高固有抵抗を有する磁性材料、例えばＭｎ－Ｚｎ系フェライト、Ｎｉ－Ｚｎ系フェライト，Ｃｕ－Ｚｎ系フェライト等の各種フェライト、好ましくはＮｉ－Ｚｎ系フェライトから形成されている。また、この基板１４内には、半導体チップ１１の電極位置に対応して複数のインダクタ回路１５が形成されている。このインダクタ回路１５は、基板１４を複数層構造とし、各層間に形成した１／２周回または３／４周回のコイル用導体を各層のスルーホール内導体を介してコイル状に接続して構成されている。さらに、各インダクタ回路１５の下端露出部分、または基板下面のこれに対応する位置には、半田等の接合材料から成るバンプ１６がそれぞれ設けられている。

【００２８】このようなインダクタ回路内蔵の基板１４は、例えば、スルーホールが貫通形成されたフェライトシートを用意し、該フェライトシート上にＡｇ系等の金属ペーストをスクリーン印刷して金属ペーストの一部をスルーホール内に充填すると共にシート上にコイル用導体を形成し、このフェライトシートを所定枚数積み重ねて圧着した後、これを所定寸法に切断して焼成することにより作成することができる。

【００２９】上記の半導体チップ１１はその下面に設けられたバンプ１３を、該バンプ１３を接合材として基板１４のインダクタ回路１５の上端露出部分に電気的に接続されており、この半導体チップ１１と基板１４との隙間にはエポキシ樹脂等の封止樹脂１７が充填されている。

【００３０】図２（ａ）に示した半導体装置を製造するには、まず、同図（ｂ）に示すように、下面電極１２にバンプ１３を有する半導体チップ１１と、インダクタ回路１５を内蔵した基板１４とを用意する。勿論、複数個取りに対応した大きさの基板１４を用意して、最終工程でこれを回転ブレードを持つダイシング機等を用いて分割するようにしてもよい。

【００３１】次に、半導体チップ１１のバンプ１３が基板１４のインダクタ回路１５の上端露出部分に整合するように位置合わせして該半導体チップ１１を基板１４の上面に載置する。

【００３２】そして、これをリフロー炉に投入してバンプ１３を加熱溶融し、溶融分を硬化させて半導体チップ１１の電極１２と基板１４のインダクタ回路１５の上端露出部分とをバンプ１３を介して電気的に接続する。

【００３３】次に、半導体チップ１１と基板１４との隙間にペースト状の封止樹脂１７を流し込んで硬化させる。

【００３４】次に、基板１４のインダクタ回路１５の下端露出部分に、または基板下面のこれに対応する位置にバンプ１６を形成して、導通検査等の検査を行う。

【００３５】本第２実施形態に係る半導体装置によれ

ば、基板１４を高固有抵抗を有する磁性体材料から形成してあるので、基板１４を介して半導体チップ１１に入力される信号と、半導体チップ１１から基板１４を介して出力される信号の両方から、入出力の段階でノイズを的確に除去することができる。また、基板１４内にノイズ除去回路としてインダクタ回路１５を設けてあるので、基板１４のみでノイズ除去を行う場合に比べて高い除去効率が得られる。

【００３６】依って、従来のようにマザーボードに実装された半導体装置の回りにノイズ対策部品を別途配置する必要がなく、ノイズ対策部品を実装するためのスペースをマザーボードから排除して高密度実装に貢献できると共に、ノイズ対策部品用のランド及び引き回しラインを排除してマザーボードの配線を簡略化できる。

【００３７】尚、上記の第２実施形態では、半導体チップ１１の電極１２をバンプ１３を介して基板１４のインダクタ回路１５の上端露出部分に接続したものを例示したが、半導体チップ１１の電極１２からバンプ１３を排除し、その代わりとして、該電極１２またはインダクタ回路１５の上端露出部分に半田等の接合材を設けて、該接合材を介して両者の接続を行うようにしてもよい。

【００３８】また、基板１４のインダクタ回路１５の下端露出部分にバンプ１６を設けたものを例示したが、該バンプ１６は、これに代わるバンプや接合材をマザーボード側に設ける場合は必ずしも必要なものではない。

【００３９】さらに、半導体チップ１１と基板１４との隙間に封止樹脂１７を充填したものを例示したが、該封止樹脂１７は両者間の機械的な接続強度が足りない場合のみ用いるようにしてもよい。

【００４０】さらにまた、基板１４内に半導体チップ１１の電極数に応じたインダクタ回路１５を設けたものを例示したが、これらインダクタ回路１５の一部を第１実施形態のような導体路５としてもよい。

【００４１】［第３実施形態］図３（ａ）には本発明の第３実施形態に係る半導体装置の組立断面図を示してある。

【００４２】半導体チップ（ベアチップ）２１はＩＣ，ＬＳＩ等から成り、その下面には複数の電極２２が所定配列で設けられている。また、各電極２２には、半田等の接合材料から成るバンプ２３がそれぞれ設けられている。

【００４３】基板２４は高固有抵抗を有する磁性材料、例えばＭｎ－Ｚｎ系フェライト，Ｎｉ－Ｚｎ系フェライト，Ｃｕ－Ｚｎ系フェライト等の各種フェライト、好ましくはＮｉ－Ｚｎ系フェライトから形成されている。また、この基板２４内には、半導体チップ２１の電極位置に対応して複数のインダクタ回路２５とコンデンサ回路２６が形成されている。このインダクタ回路２５は、基板２４を複数層構造とし、各層間に形成した１／２周回または３／４周回のコイル用導体を各層のスルーホール

内導体を介してコイル状に接続して構成されており、一方、コンデンサ回路２６は、各層間に形成した内部電極用導体を１つおきに各層のスルーホール内導体を介して接続して構成されている。さらに、各インダクタ回路２５の下端露出部分、または基板下面のこれに対応する位置と、各コンデンサ回路２６の下端露出部分、または基板下面のこれに対応する位置には、半田等の接合材料から成るバンプ２７がそれぞれ設けられている。

【００４４】このようなインダクタ回路内蔵の基板２４は、例えば、スルーホールが貫通形成されたフェライトシートを用意し、該フェライトシート上にＡｇ系等の金属ペーストをスクリーン印刷して金属ペーストの一部をスルーホール内に充填すると共にシート上にコイル用導体と内部電極用導体を形成し、このフェライトシートをフェライトシートを所定枚数積み重ねて圧着した後、これを所定寸法に切断して焼成することにより作成することができる。

【００４５】上記の半導体チップ２１はその下面に設けられたバンプ２３を、該バンプ２３を接合材として基板２４のインダクタ回路２５及びコンデンサ回路２６の上端露出部分に接続されており、この半導体チップ２１と基板２４との隙間にはエポキシ樹脂等の封止樹脂２８が充填されている。

【００４６】図３（ａ）に示した半導体装置を製造するには、まず、同図（ｂ）に示すように、下面電極２２にバンプ２３を有する半導体チップ２１と、インダクタ回路２５及びコンデンサ回路２６を内蔵した基板２４とを用意する。勿論、複数個取りに対応した大きさの基板２４を用意して、最終工程でこれを回転ブレードを持つダイシング機等を用いて分割するようにしてもよい。

【００４７】次に、半導体チップ２１のバンプ２３が基板２４のインダクタ回路２５及びコンデンサ回路２６の上端露出部分に整合するように位置合わせして該半導体チップ２１を基板２４の上面に載置する。

【００４８】そして、これをリフロー炉に投入してバンプ２３を加熱溶融し、溶融分を硬化させて半導体チップ２１の電極２２と基板２４のインダクタ回路２５及びコンデンサ回路２６の上端露出部分とをバンプ２３を介して電気的に接続する。

【００４９】次に、半導体チップ２１と基板２４との隙間にペースト状の封止樹脂２８を流し込んで硬化させる。

【００５０】次に、基板２４のインダクタ回路２５及びコンデンサ回路２６の下端露出部分に、または基板下面のこれに対応する位置にバンプ２７を形成して、最後に、導通検査等の検査を行う。

【００５１】本第３実施形態に係る半導体装置によれば、基板２４を高固有抵抗を有する磁性体材料から形成してあるので、基板２４を介して半導体チップ２１に入力される信号と、半導体チップ２１から基板２４を介し

て出力される信号の両方から、入出力の段階でノイズを的確に除去することができる。また、基板２４内にノイズ除去回路としてインダクタ回路２５とコンデンサ回路２６を設けてあるので、基板２４のみでノイズ除去を行う場合に比べて高い除去効率が得られる。

【００５２】依って、従来のようにマザーボードに実装された半導体装置の回りにノイズ対策部品を別途配置する必要がなく、ノイズ対策部品を実装するためのスペースをマザーボードから排除して高密度実装に貢献できると共に、ノイズ対策部品用のランド及び引き回しラインを排除してマザーボードの配線を簡略化できる。

【００５３】尚、上記の第３実施形態では、半導体チップ２１の電極２２をバンプ２３を介して基板２４のインダクタ回路２５及びコンデンサ回路２６の上端露出部分に接続したものを例示したが、半導体チップ２１の電極２２からバンプ２３を排除し、その代わりとして、該電極２２またはインダクタ回路２５及びコンデンサ回路２６の上端露出部分に半田等の接合材を設けて、該接合材を介して両者の接続を行うようにしてもよい。

【００５４】また、基板２４のインダクタ回路２５及びコンデンサ回路２６の下端露出部分にバンプ２７を設けたものを例示したが、該バンプ２７は、これに代わるバンプや接合材をマザーボード側に設ける場合は必ずしも必要なものではない。

【００５５】さらに、半導体チップ２１と基板２４との隙間に封止樹脂２８を充填したものを例示したが、該封止樹脂２８は両者間の機械的な接続強度が足りない場合のみ用いるようにしてもよい。

【００５６】さらにまた、基板２４内に半導体チップ２１の電極数に応じたインダクタ回路２５及びコンデンサ回路２６を設けたものを例示したが、これらインダクタ回路２５及びコンデンサ回路２６の一部を第１実施形態のような導体路５としてもよく、勿論、全てをコンデンサ回路２６としてもよい。

【００５７】［第４実施形態］図４（ａ）には本発明の第４実施形態に係る半導体装置の組立断面図を示してある。

【００５８】半導体チップ（ベアチップ）３１はＩＣ、ＬＳＩ等から成り、その上面には複数の電極３２が所定配列で設けられている。

【００５９】基板３３は高固有抵抗を有する磁性体材料、例えばＭｎ－Ｚｎ系フェライト、Ｎｉ－Ｚｎ系フェライト，Ｃｕ－Ｚｎ系フェライト等の各種フェライト、好ましくはＮｉ－Ｚｎ系フェライトから形成されている。また、この基板３３内には、複数の導体路３４が形成されている。さらに、各導体路３４の上端露出部分、または基板下面のこれに対応する位置には、電極（ランド）３５がそれぞれ設けられ、また、各導体路３４の下端露出部分、または基板下面のこれに対応する位置には、半田等の接合材料から成るバンプ３６がそれぞれ設けられている。

【００６０】このような導体路内蔵の基板３３は、例えば、スルーホールが貫通形成されたフェライトシートを用意し、該フェライトシート上にＡｇ系等の金属ペーストをスクリーン印刷して金属ペーストの一部をスルーホール内に充填すると共にシート上に電極用導体を形成してこれを焼成するか、或いは、スルーホールが貫通形成されたフェライト基板を用意し、該フェライト基板上に電極用導体を形成しつつスルーホールに同様の金属ペーストを充填して硬化させることにより作成することができる。

【００６１】上記の半導体チップ３１はその下面をエポキシ等のダイボンド樹脂３７を介して基板３３上に接続されており、その電極３２をワイヤー３８を介して基板３３の導体路３４の上端露出部分に接続されている。また、基板３３上に接続された半導体チップ３１はエポキシ等のモールド樹脂３９によって被覆されている。

【００６２】この半導体装置は、基板３３の下面に設けられたバンプ３６を接続電極として、マザーボードに実装される。

【００６３】図４（ａ）に示した半導体装置を製造するには、まず、同図（ｂ）に示すように、半導体チップ３１と、導体路３４を内蔵した基板３３とを用意する。勿論、複数個取りに対応した大きさの基板３３を用意して、最終工程でこれを回転ブレードを持つダイシング機等を用いて分割するようにしてもよい。

【００６４】次に、基板３３の上面にペースト状のダイボンド樹脂３７を塗布し、この上に半導体チップ３１を載置してダイボンド樹脂３７を硬化させる。

【００６５】次に、半導体チップ３１の電極３２と基板３３の上面の電極３５とをワイヤー３８を介して電気的に接続する。

【００６６】次に、基板３３上の半導体チップ３１の周囲にペースト状のモールド樹脂３９を型枠等を用いて付着して硬化させる。

【００６７】次に、基板３３の導体路３４の下端露出部分に、または基板下面のこれに対応する位置にバンプ３６を形成して、最後に、導通検査等の検査を行う。

【００６８】本第４実施形態に係る半導体装置によれば、基板３３を高固有抵抗を有する磁性体材料から形成してあるので、基板３３を介して半導体チップ３１に入力される信号と、半導体チップ３１から基板３３を介して出力される信号の両方から、入出力の段階でノイズを的確に除去することができる。また、半導体チップ３１の電極位置と基板３３の電極位置とが対応しない場合でも両者の接続を的確に行うことできる。

【００６９】依って、従来のようにマザーボードに実装された半導体装置の回りにノイズ対策部品を別途配置する必要がなく、ノイズ対策部品を実装するためのスペースをマザーボードから排除して高密度実装に貢献できる

と共に、ノイズ対策部品用のランド及び引き回しラインを排除してマザーボードの配線を簡略化できる。

【００７０】尚、上記の第４実施形態では、半導体チップ３１の電極３２をワイヤー３８を介して基板３３の電極３５に接続したものを例示したが、基板３３から電極３５を排除し、半導体チップ３１の電極３２をワイヤー３８を介して基板３３の導体路３４の上端露出部分に直接接続するようにしてもよい。

【００７１】また、基板３３の導体路３４の下端露出部分にバンプ３６を設けたものを例示したが、該バンプ３６は、これに代わるバンプや接合材をマザーボード側に設ける場合は必ずしも必要なものではない。

【００７２】さらに、基板３３内に導体路３４を設けたものを例示したが、これら導体路３４の一部または全てを第２、第３実施形態のようなインダクタ回路やコンデンサ回路としてもよい。

【００７３】以上、上述の第１乃至第４の実施形態では、１つの基板に１つの半導体チップを搭載したものを半導体装置として例示したが、複数の半導体チップを１つの基板に搭載して半導体装置を構成してもよい。

【００７４】また、ノイズ除去回路としてインダクタ回路とコンデンサ回路を例示したが、抵抗回路やこれ以外の部品回路を基板内に設けるようにしてもよく、抵抗回路のような単純回路の場合にはこれを基板上に形成するようにしてもよいさらに、半導体チップと基板との接続法としてフリップチップボンディング法とワイヤーボンディング法を例示したが、両者の接続には周知の各種ボンディング法が利用できる。

【００７５】

【発明の効果】以上詳述したように、本発明によれば、

基板を介して半導体チップに入力される信号と、半導体チップから基板を介して出力される信号の両方から、入出力の段階でノイズを除去することができるので、従来のようにマザーボードに実装された半導体装置の回りにノイズ対策部品を別途配置する必要がなく、ノイズ対策部品を実装するためのスペースをマザーボードから排除して高密度実装に貢献できると共に、ノイズ対策部品用のランド及び引き回しラインを排除してマザーボードの配線を簡略化できる。

【図面の簡単な説明】

【図１】本発明の第１実施形態に係る半導体装置の組立断面図と製造方法説明図

【図２】本発明の第２実施形態に係る半導体装置の組立断面図と製造方法説明図

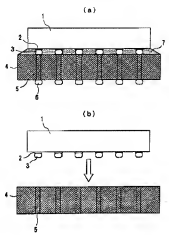
【図３】本発明の第３実施形態に係る半導体装置の組立断面図と製造方法説明図

【図４】本発明の第４実施形態に係る半導体装置の組立断面図と製造方法説明図

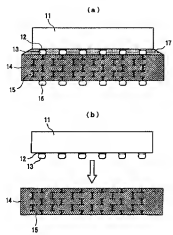
【符号の説明】

１…半導体チップ、２…電極、３…バンプ、４…基板、５…導体路、６…バンプ、７…封止樹脂、１１…半導体チップ、１２…電極、１３…バンプ、１４…基板、１５…インダクタ回路、１６…バンプ、１７…封止樹脂、２１…半導体チップ、２２…電極、２３…バンプ、２４…基板、２５…インダクタ回路、２６…コンデンサ回路、２７…バンプ、２８…封止樹脂、３１…半導体チップ、３２…電極、３３…基板、３４…導体路、３５…電極、３６…バンプ、３７…ダイボンド樹脂、３８…ワイヤー、３９…モールド樹脂。

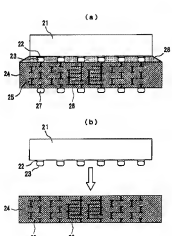
【図１】


(a)
1
2
3
4
5
6
7
(b)
1
2
3
4
5

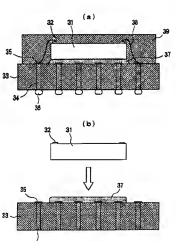
【図２】


(a)
11
12
13
14
15
16
17
(b)
11
12
13
14
15

【図３】


(a)
21
22
23
24
25
26
27
28
(b)
21
22
23
24
25
26

【図４】


(a)
31
32
33
34
35
36
37
38
39
(b)
31
32
33
34
35
37